

Frank Oettle, Thomas Reichler

Speichern mit Konzept

Speicherbausteine nach dem Byte-wide-Prinzip haben intern eine 8-Bit-Struktur. Sie sind mittlerweile in den verschiedensten Ausführungen erhältlich: als RAM, EPROM, EEPROM oder ROM. Durch die weitgehende Pin-Kompatibilität ist eine Austauschbarkeit untereinander möglich. Im folgenden wird eine Speicherkarte vorgestellt, die mit Speicherbausteinen von 2 KByte bis 16 KByte Größe gemischt bestückt werden kann.

Voraussetzung für die Austauschbarkeit ist natürlich, daß die Steuersignale und das Timing möglichst einheitlich ist. Auch müssen genügend Adreßleitungen vorgesehen werden, um auch zukünftige Bausteine in dieses Konzept einbinden zu können. Die Byte-wide-Speicher werden in 24- und 28-poligen Standardgehäusen gefertigt. Setzt man in der Schaltung 28-polige Sockel ein, können Speicherbausteine beider Größen verwendet werden (Bild 1).

Beliebige Speicherkonfigurationen

Die neun 28-poligen Stecksockel können gemischt bestückt werden, es ist sogar

möglich, Speicherchips in 2 KByte große Blöcke aufzuteilen und in nicht zusammenhängende Adreßbereiche zu legen. So lassen sich schnell und unkompliziert beliebige Speicherkonfigurationen zusammenstellen. CMOS-Speicher haben im Standby-Betrieb eine geringe Verlustleistung. In Verbindung mit dem auf der Karte befindlichen Akku lassen sich Daten auch bei ausgeschaltetem Gerät über größere Zeiträume erhalten. Allerdings ist die Kombination von CMOS-Speicher und Akku allein noch kein ausreichender Schutz für die Daten. Eine Schaltung, die ein ungewolltes Schreiben in den Speicher während der Ein- oder Aus-

schaltphase verhindert, ist dazu erforderlich. Die auf der Karte befindliche Spannungsausfall-Logik bietet nicht nur einen sicheren Schreibschutz, sondern gibt vor dem Absturz des Systems auch ein NMI-Signal an die CPU aus. Der Prozessor wird damit in die Lage versetzt, seine Registerinhalte, die sonst verloren gingen, in den CMOS-Speicher zu retten.

Die Byte-wide-Karte wurde so konzipiert, daß sie mit allen gängigen 8-Bit-Prozessoren lauffähig ist. Durch einfaches Auswechseln eines ICs ist die Platine an folgende CPUs anschließbar: 8080, 8085, Z80, 6502, 6800, 6802, 6809 und viele mehr.

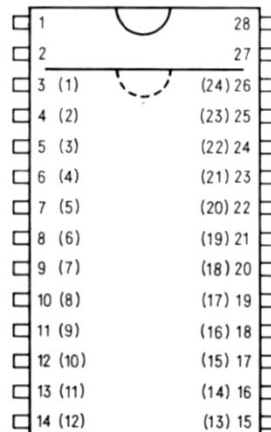
Um auch langsame Speicher verwenden zu können, wurde eine Wait-Logik auf der Karte implementiert, die in der Lage ist, eine bzw. zwei Wait-Zyklen an das System auszugeben. Ein 4-Bit-Vergleicher, der die Adressen A16 bis A19 dekodiert, erlaubt den Einsatz in einem 1-MByte-System. Als Spannungsversorgung wird nur eine +5-V-Spannung benötigt. Der Stromverbrauch ist recht niedrig und beträgt typisch 250 mA. Als Steckerbelegung wurde der ECB-Bus gewählt (Tabelle 1). Mit einem einfachen Adapterstecker läßt sich die Karte auch an andere Bus-Systeme anschließen.

Die Hardware im Detail

Die Gesamtschaltung der Speicherplatine zeigt Bild 2. Alle Sockel sind identisch verdrahtet. Drei Anschlüsse können auf den nebenstehenden Pfosten-

EPROM 27256	EPROM 27128	CRAM 5564	PRAM 4864	EPROM 2764	EPROM 2732	PRAM 4816	EEPROM 2816	SRAM 4802	CRAM 6116	EPROM 2716	SRAM 4118
V _{pp}	V _{pp}	NC	RFS	V _{pp}	RFS						
A12	A12	A12	A12	A12	NC						
A7	A7	A7	A7	A7	A7	A7	A7	A7	A7	A7	A7
A6	A6	A6	A6	A6	A6	A6	A6	A6	A6	A6	A6
A5	A5	A5	A5	A5	A5	A5	A5	A5	A5	A5	A5
A4	A4	A4	A4	A4	A4	A4	A4	A4	A4	A4	A4
A3	A3	A3	A3	A3	A3	A3	A3	A3	A3	A3	A3
A2	A2	A2	A2	A2	A2	A2	A2	A2	A2	A2	A2
A1	A1	A1	A1	A1	A1	A1	A1	A1	A1	A1	A1
A0	A0	A0	A0	A0	A0	A0	A0	A0	A0	A0	A0
D0	D0	D0	D0	D0	D0	D0	D0	D0	D0	D0	D0
D1	D1	D1	D1	D1	D1	D1	D1	D1	D1	D1	D1
D2	D2	D2	D2	D2	D2	D2	D2	D2	D2	D2	D2
GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND

Bild 1. Die Pinbelegungen von unterschiedlichen Speichern, die in das Byte-wide-Konzept passen



SRAM 4118	EPROM 2716	CRAM 6116	SRAM 4802	EEPROM 2816	PRAM 4816	EPROM 2732	EPROM 2764	PRAM 4864	CRAM 5564	EPROM 27128	EPROM 27256
					V _{cc}	V _{cc}	V _{cc}	V _{cc}	V _{cc}	V _{cc}	V _{cc}
					WE	PGM	WE	R/W	PGM	A14	
V _{cc}	V _{cc}	V _{cc}	V _{cc}	V _{cc}	CS	V _{cc}	NC	CS	CE2	A13	A13
A8	A8	A8	A8	A8	A8	A8	A8	A8	A8	A8	A8
A9	A9	A9	A9	A9	A9	A9	A9	A9	A9	A9	A9
WE	U _{pp}	WE	WE	V _{pp}	NC	A11	A11	A11	A11	A11	A11
OE	OE	OE	OE	OE	OE	OE	OE	OE	OE	OE	OE
A10	A10	A10	A10	A10	A10	A10	A10	A10	A10	A10	A10
CE	CE	CE	CE	CE	CE	CE	CE	CE	CE	CE	CE
D7	D7	D7	D7	D7	D7	D7	D7	D7	D7	D7	D7
D6	D6	D6	D6	D6	D6	D6	D6	D6	D6	D6	D6
D5	D5	D5	D5	D5	D5	D5	D5	D5	D5	D5	D5
D4	D4	D4	D4	D4	D4	D4	D4	D4	D4	D4	D4
D3	D3	D3	D3	D3	D3	D3	D3	D3	D3	D3	D3

steckern jeweils getrennt beschaltet werden. Bild 3 zeigt die mögliche Beschaltung dieser drei Signale und Bild 4 die Anordnung der Signale auf den Pfostensteckern.

Die Daten werden mit einem 74LS245, einem bidirektionalen Treiberbaustein, gepuffert. Nur wenn ein Lesebefehl und eine gültige Adresse für die Speicherkarte vorliegt, wird ein Datenfluß vom Speicher zum Prozessor ermöglicht. Gleichzeitig wird an die RAMs ein „Output-Enable“-Signal weitergeleitet. Anson-

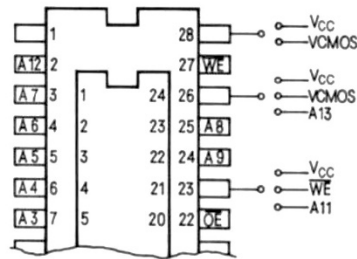


Bild 3. Verschiedene Speicher benötigen unterschiedliche Signale an bestimmten Anschlußpins

	WE	A13	Pin 26	VCMOS
A11	Pin 21	Vcc	Vcc	Pin 28

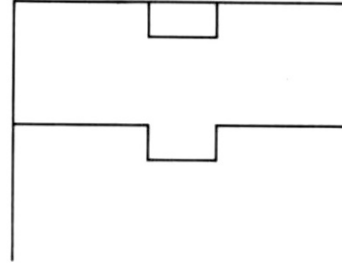


Bild 4. Die individuelle Beschaltung erfolgt mit Hilfe der Pfostenstecker neben dem betreffenden Speicherbaustein

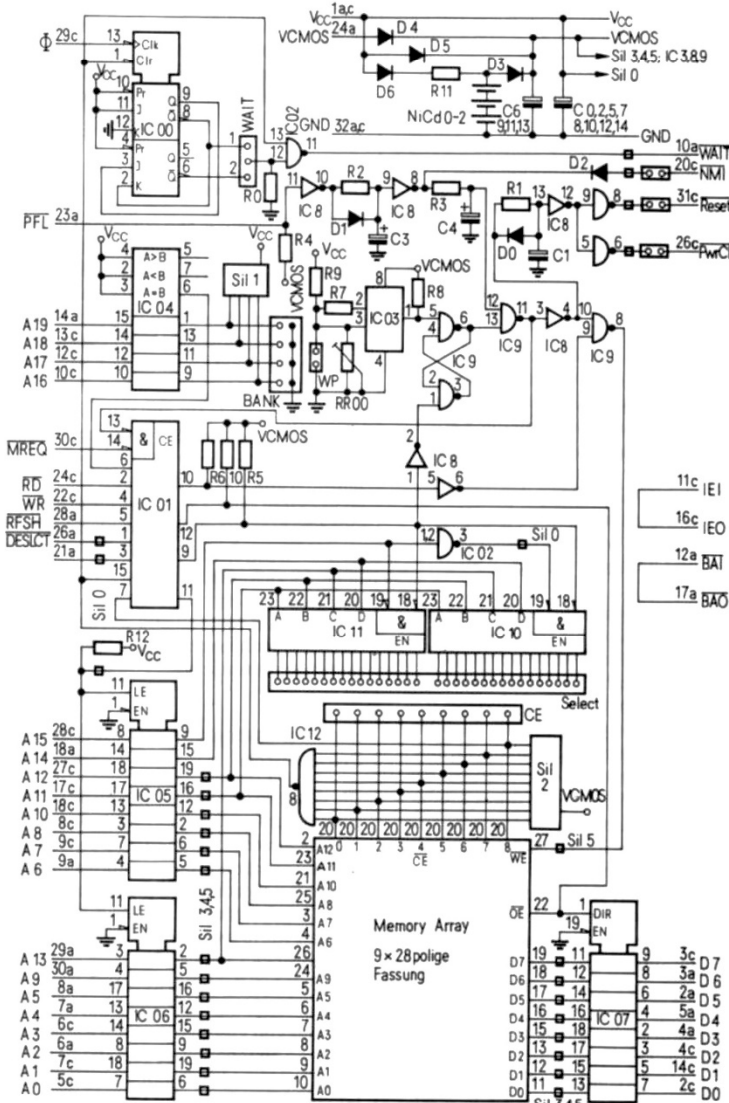


Bild 2. Die Gesamtschaltung der Speicherkarte

Tabelle 1: Die Belegung des Steckers (ECB-Bus)

a	pin	c
+5 V	01	+5 V
D5	02	D0
D6	03	D7
D3	04	D2
D4	05	A0
A2	06	A3
A4	07	A1
A5	08	A8
A6	09	A7
WAIT	10	A16
BUSRQ	11	IEI
BAI	12	A17
+12 V	13	A18
A19	14	D1
-5 V	15	-15 V
2 x ∅	16	IEO
BAO	17	A11
A14	18	A10
+15 V	19	
M1	20	NMI
	21	INT
	22	WR
PFL	23	
VCMOS	24	RD
BDCL	25	HALT
DESLCT	26	PWRCL
IORQ	27	A12
RFSH	28	A15
A13	29	∅
A9	30	MREQ
BUSAK	31	RESET
GND	32	GND

PFL = Power Fail (Spannungsausfall)
BDCL = Baud-Rate-Clock
DESLCT = DESELECT

sten herrscht die Datenrichtung Prozessor-Speicher vor.
Zur Pufferung der Adressen finden zwei 74LS373-Bausteine Verwendung. Diese erfüllen zum einen eine Treiberfunktion, zum anderen wird eine höhere Störsicherheit erzielt. Zu Beginn eines Speicherzugriffs werden die Adressen A0...A15 vom Systembus übernommen und während des gesamten Zugriffs „eingefroren“. Die Adressen liegen somit stabil an den Speichern an.

Anpassung an verschiedene Prozessoren

Diese wird durchgeführt mit einem PROM der Größe 256×4 (IC 1). Durch die Programmierung lassen sich acht Eingangssignale beliebig miteinander verknüpfen und daraus vier Ausgangssignale ableiten. Ein solches PROM ersetzt eine Vielzahl von Logikbausteinen und hat zudem den Vorteil, daß bei einer Anpassung an einen anderen Prozessor nur das PROM ausgewechselt werden muß.

Mit einem 16 Bit breiten Adreßbus lassen sich insgesamt 64 KByte Speicher adressieren. Dies ist jedoch in vielen modernen Anwendungen nicht mehr ausreichend. Abhilfe schafft eine Erweiterung des Adreßbusses um vier weitere Bits (A16–A19), womit sich der mögliche Speicherraum auf 1 MByte vergrößert. Die Karte ist in der Lage, diese vier Leitungen zu dekodieren. A16–A19 werden dabei auf einen 4-Bit-Vergleicher (74LS85) geführt. Über Steckbrücken kann die Karte auf eine der insgesamt 16 möglichen Pages gelegt werden. Sind im System keine Bankadressen vorhanden, so kann der 74LS85 durch eine Brücke von Pin 6 nach Pin 16 ersetzt werden.

Selektierung der Speicherchips

Die Selektierung der einzelnen Speicherbausteine in einer 64-KByte-Page übernehmen zwei 4-zu-16-Dekoder (74159). Diese teilen den 64 KByte großen Speicherraum in 32 Bereiche von 2 KByte Größe auf. Jeder dieser Bereiche wird durch eine Leitung eines 32poligen Pfostensteckers repräsentiert. Demgegenüber stehen die neun „Chip-Enable“-Eingänge der Speicher. Mittels Wrap-Verbindungen können somit einfach beliebige Speicher-Select-Signale erzeugt werden.

1. Beispiel: Ein 2-KByte EPROM (2716), das in der 5. Fassung steckt, soll in den Adreßbereich 0000–07FF gelegt werden. Dies erfordert eine Verbindung von Select 00 nach CE 5.

	Z80	8080 8085	6800	6809	6502
28 a	RFSH	IO/M	VMA	Q	
22 c	WR	WR	R/W	R/W	R/W
24 c	RD	RD			
30 c	MREQ	ALE	$\phi_1 = \overline{\phi_2}$	E	$\phi_1 = \overline{\phi_2}$

Bild 5. So ist die Speicherplatine an die unterschiedlichen Prozessoren anzuschließen

2. Beispiel: Ein 8-KByte-RAM in Fassung 4 soll auf folgende Adreßbereiche aufgeteilt werden: 1000–17FF (2 KByte); E800–FFFF (6 KByte). Dazu sind vier Verbindungen notwendig: S02–CE 4/S29–CE 4/S30–CE 4/S31–CE 4.

Die Ausgänge des 74159 können dabei beliebig miteinander verbunden werden, da es sich um Open-Collector-Ausgänge handelt.

Wait-Schaltung und Spannungsausfall-Logik

Häufig werden Speicherbausteine verwendet, deren Zugriffszeiten größer sind, als es für das System erforderlich wäre. Insbesondere EPROMs erweisen sich oft als zu langsam. Auf der Karte befindet sich deshalb eine Schaltung, die es ermöglicht, einen bzw. zwei Taktzyklen lang Waits zu generieren. Solche Waits werden nur dann ausgegeben, wenn an einer der Fassungen 0–7 ein Chip-Enable-Signal anliegt.

Die Spannungsausfall-Logik hat in erster Linie zur Aufgabe, einen unkontrollierten Speicherzugriff während der Aus- und Einschaltphase zu verhindern. Ein Komparator mit interner Referenz (ICL 7665) überwacht ständig die 5-V-Versorgungsspannung. Unterschreitet diese einen Wert von 4,6 V (einstellbar mit Trimmer P1), so wird die Schreibleitung gesperrt. Befindet sich das System gerade in einer Speicheroperation, wird diese erst ausgeführt, bevor das Write-Signal blockiert wird. Gleichzeitig mit dem Schreibschutz wird an das System ein Reset ausgegeben, um selbiges in einem definierten Zustand zu halten. Ein Schwingen des Komparators wird durch eine Hysterese von 0,2 V verhindert. Bei einem Einschaltvorgang gibt die Karte ein Power-On-Clear- und ein Reset-Signal an das System aus. Überschreitet die Versorgungsspannung 4,8 V, wird zunächst der Schreibschutz, nach Ab-

lauf von ca. 800 ms auch das Reset-Signal zurückgenommen.

Die zuvor beschriebenen Maßnahmen bieten einen sicheren Schutz des Arbeitsspeichers, der Inhalt der CPU-Register geht jedoch bei einem Spannungsausfall verloren. Abhilfe schafft eine Schaltung, die es ermöglicht, das Netz vor der Stromversorgung zu überwachen (PFL). Wird dort ein Spannungsausfall festgestellt, bleibt dem System, bedingt durch die im Netzteil gespeicherte Energie, noch eine gewisse Zeit bis zum Zusammenbruch. In dieser Zeit wird ein Non-Maskable-Interrupt (NMI) erzeugt, der es der CPU ermöglicht, ihre Register in den CMOS-Speicher zu retten. Beim Einschalten des Systems können die CPU-Register wieder mit den alten Inhalten geladen und das Programm an der Stelle fortgesetzt werden, wo es beim Netzausfall verlassen wurde.

Der Puffer-Akku

Die Wahl fiel auf einen NiCd-Akkumulator mit Masse-Elektroden und einer Kapazität von 100 mAh. Die erforderliche Spannung wird durch Hintereinanderschalten von drei solchen Knopfzellen erzeugt. Es lassen sich damit Daten für mindestens 1000 Stunden sichern. Geladen wird der Akku über die in Serie geschaltete Diode D6 und den Widerstand R11 von der +5-V-Versorgung des Systems. Ist im System bereits eine Akkupufferung vorhanden, kann die Karte auch extern über den Busanschluß VCMOS (24a) versorgt werden. Die Akku-Schaltung kann dann entfallen. Solen externe Bauteile mit dem VCMOS der Karte versorgt werden, muß D4 durch eine Brücke ersetzt werden. Es dürfen jedoch keine Ströme > 10 mA entnommen werden.

Die Anpassung an verschiedene Prozessoren

Bei der Anpassung an verschiedene Prozessoren müssen auf der Karte keine Änderungen vorgenommen, sondern lediglich ein speziell programmiertes PROM eingesetzt werden. Die prozessorspezifische Beschaltung zeigt Bild 5.

Auf der Karte werden eine Reihe von Steckbrücken verwendet:

Auf dem 8poligen Pfostenstecker „Bank“ kann durch Stecken bzw. nicht Stecken von vier Brücken die Karte auf eine von 16 möglichen 64-KByte-Pages gelegt werden. Ein 74LS85 vergleicht dabei diese Brücken mit den vom System her kommenden Adressen A16–A19. Ist

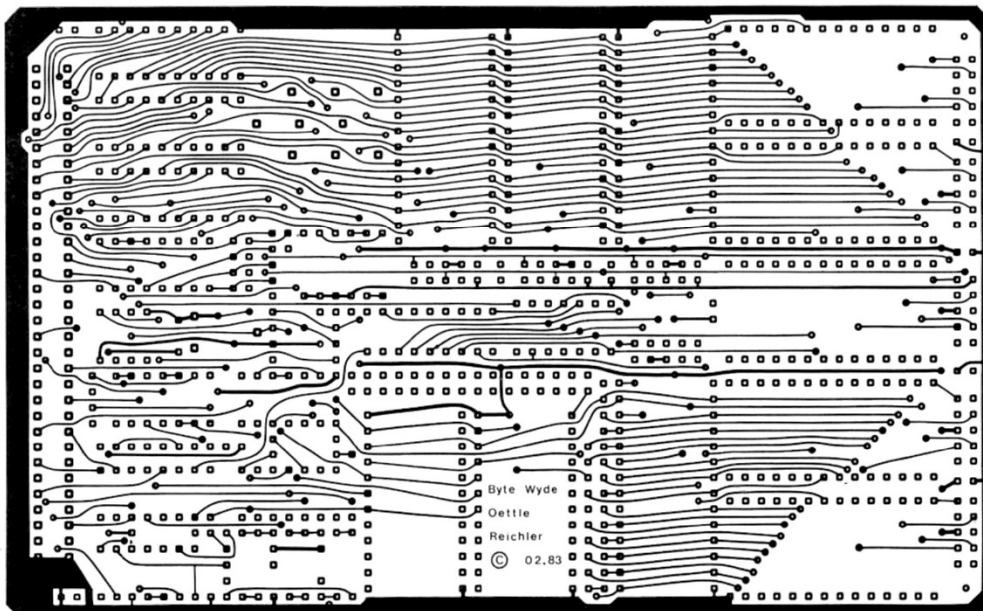
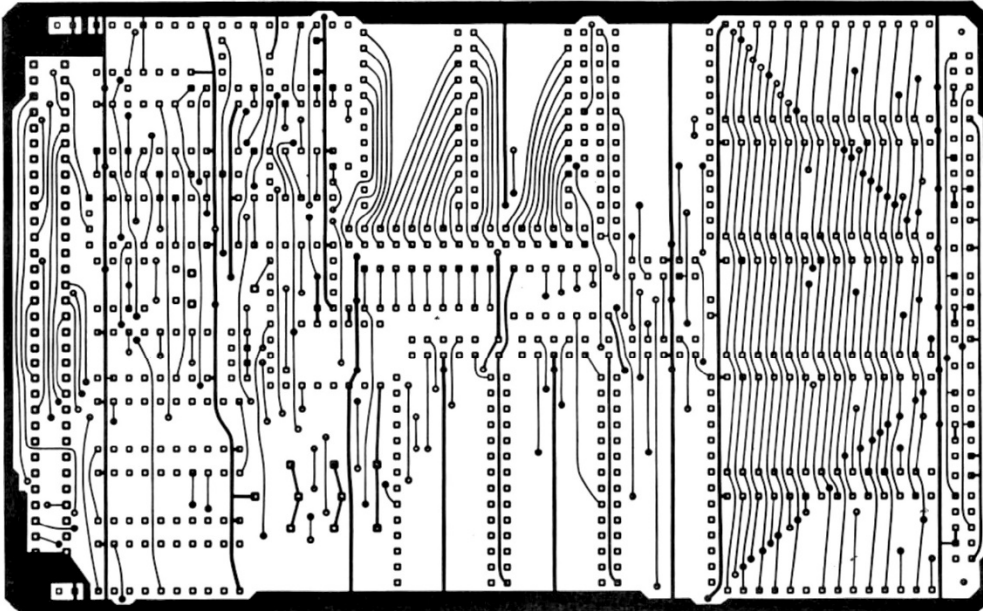


Bild 6. Die Platine als Layout, die Bestückungsseite oben und die Lötseite unten

eine Brücke gesteckt, bedeutet dies Low-Pegel. Soll die Karte zum Beispiel auf die unterste Bank-Adresse gelegt werden, müssen alle vier Brücken gesteckt sein.

Mit den drei Pfosten „Wait“ können 0, 1 oder 2 Waits eingestellt werden. Keine Brücke bedeutet keine Waits, ein oder zwei Waits werden je nach Steckweise erzeugt.

Sind die zwei Pfosten WP (Write Protect) miteinander verbunden, ist ein Schreiben auf der Karte nicht mehr möglich. Es läßt sich hier auch ein Schreibschutzschalter anbringen.

Tabelle 2:
Die Liste der verwendeten Bauteile

IC 00	74LS114
IC 01	TBP 24SA10
IC 02	74LS03
IC 03	ICL 7665
IC 04	74LS85
IC 05, 06	74LS373
IC 07	74LS245
IC 08	74HC14
IC 09	74HC00 (74HC132)
IC 10, 11	74159
IC 12	74LS30
R 00	4,7 k Ω
R 01, 02	1 M Ω
R 03	27 k Ω
R 04	1 M Ω
R 05	680 Ω
R 06	1 k Ω
R 07	470 k Ω
R 08	100 k Ω
R 09	33 k Ω
R 10	680 Ω
R 11	33 Ω
R 12	1 k Ω
C 00	4,7 μ F/16 V
C 01	1 μ F/16 V
C 02	100 nF
C 03, 04	1 μ F/16 V
C 05	100 nF
C 06-14	4,7 μ F/16 V
Sil 00	9 \times 4,7 k Ω
Sil 01	5 \times 4,7 k Ω
Sil 02	9 \times 1 k Ω
Sil 03	9 \times 2,2 k Ω
Sil 04	5 \times 2,2 k Ω
Sil 05	7 \times 2,2 k Ω
RR 00	20 k Ω Potentiometer
NiCd 0-2	Varta 100 DKO-F
D 00-02	1 N 4148
D 03	AA 138 (1 N 4148)
D 04, 05	1 N 4001
D 06	1 N 4148

Mit drei Steckern können die Signale NMI, Reset, PCL auf den Systembus gelegt werden. Wird eines dieser Signale im System bereits durch ein Gatter erzeugt, das keinen Open-Collector-Ausgang besitzt, muß die zugehörige Verbindung offenbleiben.

Der Zusammenbau

Die für den Bau der Speicherkarte erforderlichen Bauteile (Tabelle 2) sowie die doppelseitig durchkontaktierte Platine (Bilder 6 und 7) sind bei den Verfassern (A.-Stifter-Str. 40, 8902 Neusäß, Tel.: 08 21/48 18 80) erhältlich.

Da die Bytewide-Karte schaltungstechnisch keine besonderen Schwierigkeiten aufweist, sollte es jedem, der einigermaßen sauber lötten kann, möglich sein, eine solche Karte aufzubauen. Die Verwendung von Fassungen erleichtert eine eventuell notwendige Fehlersuche erheblich. Die Sockel sollten anreihbar und einigermaßen kontaktfreudig sein. Es empfiehlt sich, die Bauteile in folgender Reihenfolge zu bestücken: Widerstände, Dioden, IC-Fassungen, Pfostenstecker, Kondensatoren, Widerstandsnetzwerke und die Steckerleiste. Bei den Tantalkondensatoren muß auf die Polarität und bei den Widerstandsnetzwerken auf die Seitenrichtigkeit geachtet werden. Die Akkus sollten noch nicht eingelötet werden.

Tips für die Inbetriebnahme

Als erstes wird überprüft, ob sich in den Versorgungsleitungen ein Kurzschluß befindet. Es darf keine Verbindung zwischen GND, Vcc und VCMOS bestehen. Vcc und VCMOS sind jedoch durch eine Diode verbunden. Nun werden die TTL- und HC-Bausteine (auch ICL 7665) eingesetzt; aber noch keine Speicher. Auf Seitenrichtigkeit ist zu achten. Sind alle ICs eingesetzt, kann die +5-V-Versorgungsspannung an der Steckerleiste angelegt werden. Der Strom sollte typ. 250 mA betragen.

Zum Einstellen der Abschaltspannung bei Stromausfall wird Vcc auf 4,6 V eingestellt. Man dreht nun solange am Trimmer RR00, bis der Ausgang des Komparators (ICL 7665, Pin 1) Low-Pegel aufweist; dann solange wieder in die andere Richtung, bis Pin 1 gerade auf High-Pegel schaltet. Erhöht man Vcc, so sollte der Ausgang bei etwa 4,8 V wieder auf Low wechseln.

An den beiden äußeren Anschlüssen der drei Knopfzellen wird überprüft, ob eine Spannung anliegt, die geringfügig unter Vcc liegen sollte. Dann wird die Versor-

gungsspannung wieder abgetrennt und die Akkus eingelötet. Die Karte wird nun an das System angeschlossen. Hat man ein Oszilloskop zur Hand, kann man noch einige Signale überprüfen. Zunächst werden an einer Speicherfassung und an einem nebenstehenden Pfostenstecker sämtliche Anschlüsse durchgemessen. Die Signalpegel (Daten, Adressen und Steuersignale) sollten zwischen GND und Vcc liegen. Pegel von ca. 2 V deuten auf Kurzschlüsse zwischen zwei Signalen hin. Pegel, die exakt GND oder Vcc entsprechen, lassen ebenfalls ungewollte Verbindungen vermuten. Für die weitere Untersuchung empfiehlt es sich, den Prozessor ein kleines Schleifenprogramm abarbeiten zu lassen, die Signale lassen sich so einfacher triggern. Das Programm sollte Schreib- und Lesebefehle auf der Karte ausführen. Das bedeutet, daß das entsprechende Select-Signal (32poliger Pfostenstecker) mit einem der CE-Eingänge der Speicher verbunden ist. Es muß kein Speicher in der Fassung stecken. Nun lassen sich einfach folgende Signale überprüfen: Richtung (74LS245, Pin 1) am Datentreiber, Enable (2 \times 74LS373, Pin 11) an den Adreßblätches, Write-Enable am PROM und an einer Speicherfassung sowie Memory-Request (MREQ) am CE-Eingang der beiden 4-zu-16-Decoder (74159, Pin 18).

Die Wait-Schaltung wird kontrolliert, indem man ein oder zwei Waitzyklen am Pfostenstecker einstellt und am Anschluß 10a der Steckerleiste mißt, ob die Karte Wait-States ausgibt.

Ist alles in Ordnung, können die Speicher bestückt werden. Selbstverständlich müssen die entsprechenden Verbindungen auf dem jeweils nebenstehenden Pfostenstecker und zwischen dem Select- und dem CE-Stecker hergestellt werden. Mit einem Testprogramm läßt sich die Karte abschließend prüfen.

Literatur

- [1] MOS Memories & Bipolar Memories, Fujitsu.
- [2] MOS Memory Products Data Book 1982.10, Toshiba.
- [3] Bytewide Memory Data Book 1982, Mostek.
- [4] Semiconductor Data Book, Hitachi.
- [5] von Bechen, Peter: Universelle Anschlußbelegung erleichtert Speicher-Anwendung. ELEKTRONIK 1982, Heft 10, S. 75.

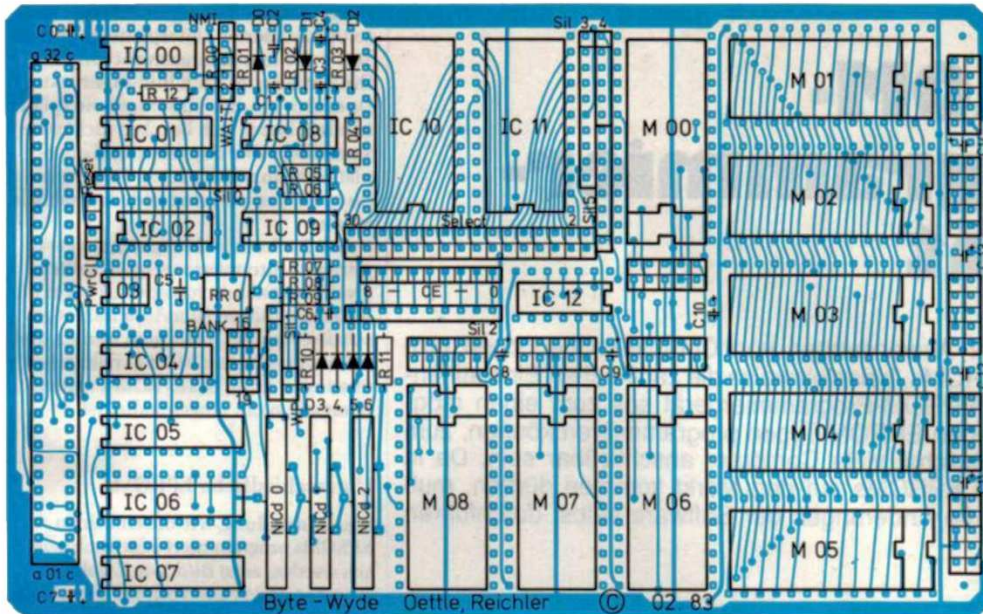


Bild 7.
Die Anordnung
der Bauteile
auf der Platine

Grafik komprimiert

Im mc 1982, Heft 5, erschien ein Test über den Drucker GP-80. In dem Bericht wurde auch der zu kleine Zeichenpuffer des Druckers bemängelt. Diese Puffer kann nur 80 Zeichen aufnehmen, dies reicht aber nicht für die Pufferung einer ganzen Grafikzeile aus. In diesem Fall wäre eine Pufferung von 480 Byte erforderlich, damit der Druckkopf nicht 6mal am linken Rand beginnt, nur um eine Grafikzeile auszudrucken.

Der folgende Trick kann hier in vielen Fällen Abhilfe schaffen. Im RAM des Rechners wird ein 480-Byte-Puffer angelegt. Auszugebende Grafikzeichen werden nicht direkt in den Drucker-Puffer, sondern in den im RAM liegenden Puffer transportiert. Bevor nun der Inhalt des Puffers zum Drucker gesendet wird, wird sein Inhalt komprimiert! Dazu werden gleiche, aufeinanderfolgende Grafikzeichen (= Bytes) gezählt und durch den Drucker-Befehl 1C,N ersetzt. Dieser Befehl wiederholt das folgende Grafikzeichen N-mal. Statt z. B. 40mal das Byte 84 zu senden (und dadurch schon den halben Drucker-Puffer zu füllen), werden die drei Bytes 1C, 28, 84 gesendet. Häufig kann durch diese Methode der Komprimierung der Inhalt der Grafikzeile so verringert werden, daß

er in den 80-Byte-Puffer des Druckers paßt.
Ein Unterprogramm, das diese Komprimierung vornimmt und für den Prozessor 6502 geschrieben wurde, zeigt das Bild. Mit Hilfe der Kommentierung dürfte die Entwicklung eines Programmes für andere Prozessor-Typen möglich sein.

Klaus-Gerd Meyer

```

; UNTERPROGRAMM Puffer-Komprimierung und Ausgabe
;
; Beim Programmaufruf muß im Zeiger die Puffer-Startadresse
; stehen. Das Puffer-Ende muß durch Hex 00 gekennzeichnet
; werden (dadurch jede Pufferlänge möglich), außerdem muß
; in jedem Byte das MSB gesetzt sein. Der Drucker
; muß im Grafik-Mode sein!
; Das Unterprogramm AUSGAB muß das in A übergebene
; Zeichen zur Anzeige bringen. dabei dürfen X und Y
; nicht verändert werden.

KOMPR  LDY #00
        LDA (ZEIGER),Y
        BEQ FERTIG      ;ENDE-Kennung (00) gefunden
        TAX             ;rette Zeichen
WEITER  CMP (ZEIGER),Y  ;Zeichen gleich ?
        BNE LAB1       ;Nein
        INY            ;Zähle gleiche Zeichen
        BNE WEITER
        INC ZEIGER+1   ;256 (Y=0) gleiche Zeichen
        BNE LAB3       ;immer
LAB1    TYA
        CLC            ;Anzahl der gleichen Zeichen
        ADC ZEIGER
        STA ZEIGER     ;zum Zeiger addieren
        BCC LAB2
        INC ZEIGER+1
LAB2    CPY #04         ;weniger als 4 gleiche Zeichen ?
        BCC LAB4       ;ja, einzeln ausgeben
LAB3    LDA #1C
        JSR AUSGAB     ;Wiederholungsbefehl
        TYA
        JSR AUSGAB     ;Anzahl der Wiederholungen
        LDY #01
LAB4    TXA
        JSR AUSGAB     ;Grafikzeichen zum Drucker
        DEY
        BNE LAB4
        BEQ KOMPR     ;immer
FERTIG  RTS
    
```

Das Unterprogramm
zur Komprimierung
des Pufferinhaltes
und Ausgabe
desselben